



EDA 检查方案

身为 PCB Layout Engineer 的您们，是否常为了因工作忙碌或者是 schedule 的压力，而忘记对 PCB Design 做产生 gerber files 後的检查？或者是出图後仍然不很确定产生出来的 gerber files 与原 PCB 设计是否图画正确，资料相符等等问题。

若是反覆的用人工方式做检查也可能不易在众多的“颜色显示”中找到细微的错误而伤透脑筋。

现在，映阳针对不同客户的需求，规划了几个方案供大家参考：

- 方案 1 (WISE-GerbTool)
- 方案 2 (Netlist Compare V3.0) + (WISE-GerbTool)
- 方案 3 (ADIVA)

Your EDA Partner

Graser
映 阳 科 技

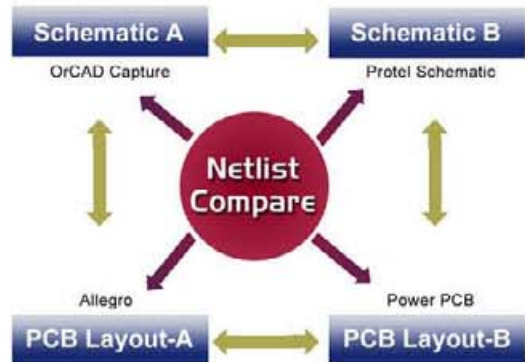
〈苏州〉电话: 0512 6252 3455
传真: 0512 6252 2966

〈深圳〉电话: 0755 8384 3286
传真: 0755 8384 3441

1. Netlist Compare

确认连线逻辑是否正确

- Net Name
- Ref. Des.
- Pin Number
- Package
- Value
- Location



2. Wise Software Solution



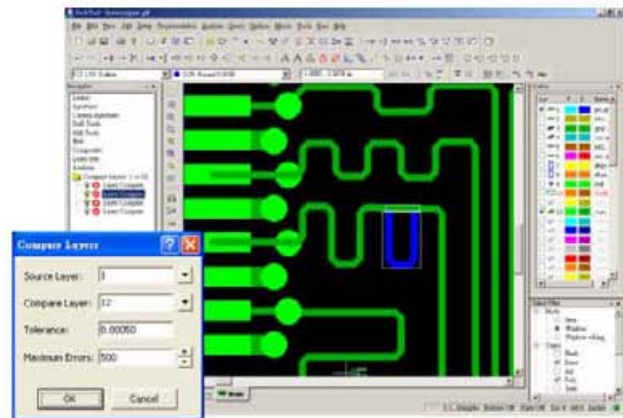
We Can **Verify** and **Modify** Your Fabrication Data.

配合多层混色模式 Query Net



Powerful GUI

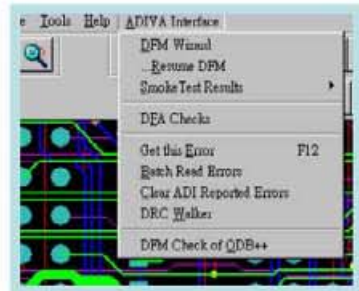
A,B 版的检查 Layer Compare



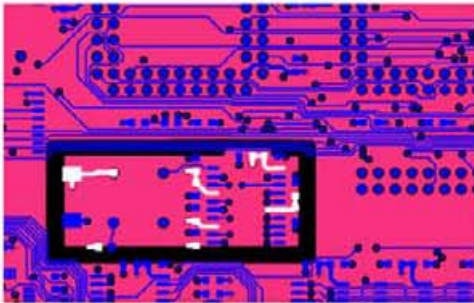


Adiva Combine with Your CAD system

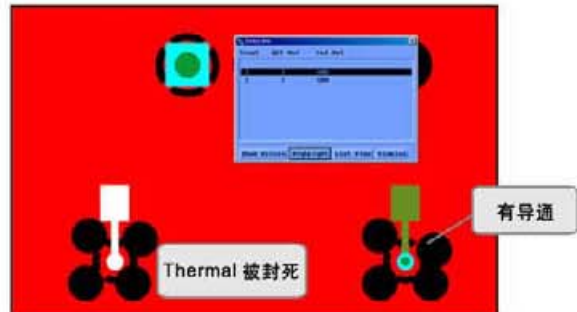
- Direct CAD Interface
 - Cadence
 - Mentor
- Faster/Easier to Use
- Get violation error in your system



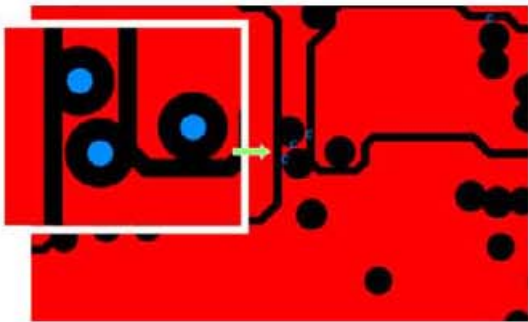
Netlist Compare : Broken Nets (1)



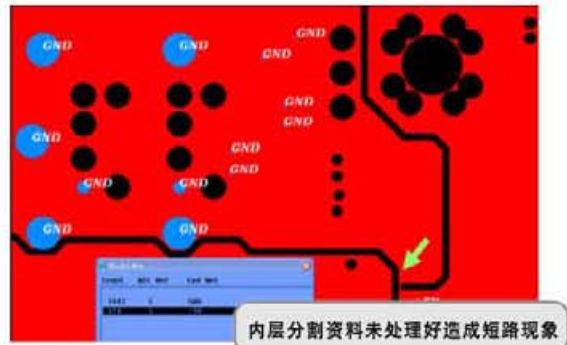
Netlist Compare : Broken Nets (2)



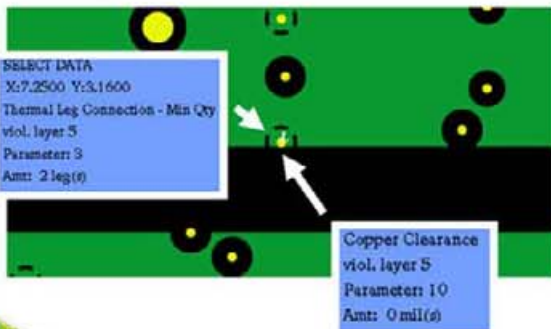
Min Copper Webbing Check In Power



Net Short in Power Plane



Check Thermal



Spacing Check for Fiducial Pad



Test & Assembly Check

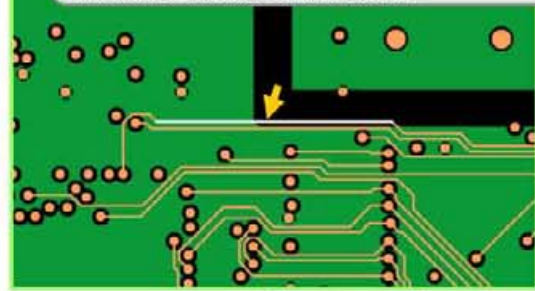
特定条件内所设定的测试点的分布密度检验



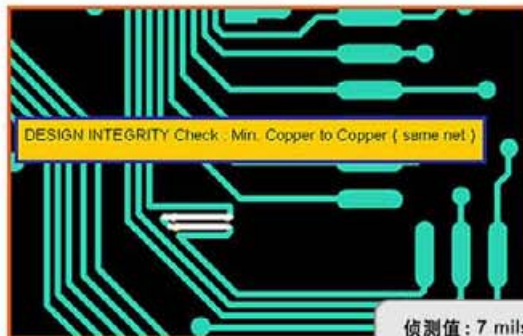
由零件 Foot Print 向外扩展范围内
单位面积内的最大数量
电源 Net 内所允许的最少数量
电源 Net 内单位面积内的最少数量

DESIGN INTEGRITY Check : Nets Missing Reference Plane

部分讯号线未受电源层给屏蔽被系统检出

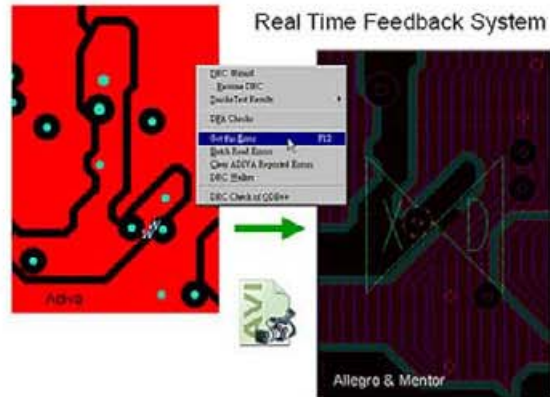


Power Plane Signal Trace



侦测值 : 7 mils
实际值 : 4.5 mils

Real Time Feedback System



Allegro & Mentor

→ 方案 1 (WISE-GerbTool)

贵公司的 PCB Layout 是外包，公司内的 Layout Engineer 只做局部的修改和检查，请参考此方案。

→ 方案 2 (Netlist Compare V3.0) + (WISE-GerbTool)

贵公司的 PCB 是自己 Layout，却又因为客户或市场的需要，工程师要经常性的修改电路，或者是有预算上的限制时，请参考此方案。

→ 方案 3 (ADIVA)

贵公司使用的 PCB Layout Tool 是 Cadence/Allegro PCB and Mentor/Board Station. 您可参考此方案。

假如您的需求并不在以上所述时，烦请与映阳的业务部门联络，我们会在了解您的需求后，提供最为适当的解决方案供您参考。