

◆ Cadence Allegro V16.5 What's New

Cadence Allegro V16.5 在新制程技术方面新增加**Embedded component design** 相关功能，同时强化了**HDI**、**High speed**、**DFM**检查及相关功能，使其得到更完善的支援；另外在 **3D** 显示模式也有进一步的提升，可更方便的应用在**HDI**及机构的检视。

. **Date:** 2011 / 06 / 14

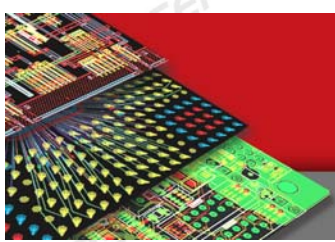
. **Author:** Mika

. **Revision:**

. **Version:** V16.5

. **备注:**

Graser[®] <http://www.graser.com.tw>



◆ Embedded Component Design (Miniaturization option)

随着市场的需求，如移动式电子产品，为配合更小更轻薄及完善性能和更高速度的设计特性，将会导入内嵌式被动甚至主动元件在 PCB 基板中。在新版 Allegro V16.5 提供了完整的嵌入式零件参数及检查，可让使用者能更方便地完成此类产品的设计。

● Front to Back Flow Support

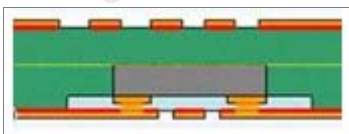
可从 schematic/pcb 加入 EMBEDDED_PLACEMENT 参数,定义 Required 强制指定使用 Embedded 零件,或是定义 Optional 可自行依实际需求使用 Embedded 零件

● Setup

可执行 Setup /Embedded Layer Setup,设定 embedded 结构及设定零件连接及摆放方式为 Body Up/Body Down 或 Direct/Indirect

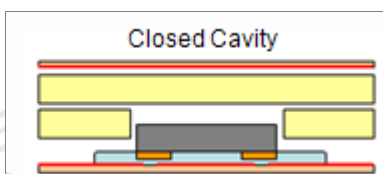
● Key Terminology

Direct Attach: 零件与内层线路直接导接

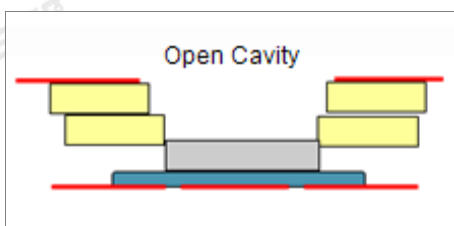


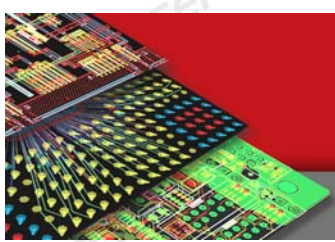
Indirect Attach: 零件透过 via pad 后再与内层线路导接

Closed Cavity: 零件被介质盖住的封闭形式



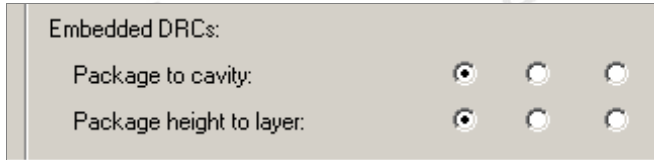
Open Cavity: 介质并未盖住零件的开放形式



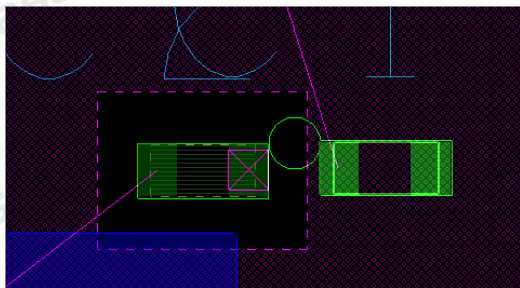


- **Design Rule Checks**

在 package 新增二项有关 embedded 零件的检查，执行 Setup/Constraints/Modes/Design Modes(Package)，即可检查 cavity 和零件的间距及零件高度的限制。

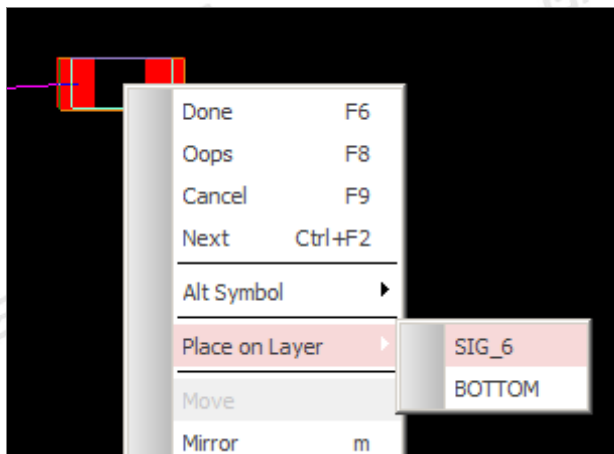


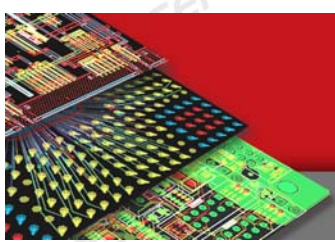
若使用 DFA 功能,则会参考 top 层参数设定。



- **Component Placement**

在 Move/Place Manual/Quickplace 会依设定之层面摆放零件，如下图。





◆ Graphics

● Highlight with Stipple patterns

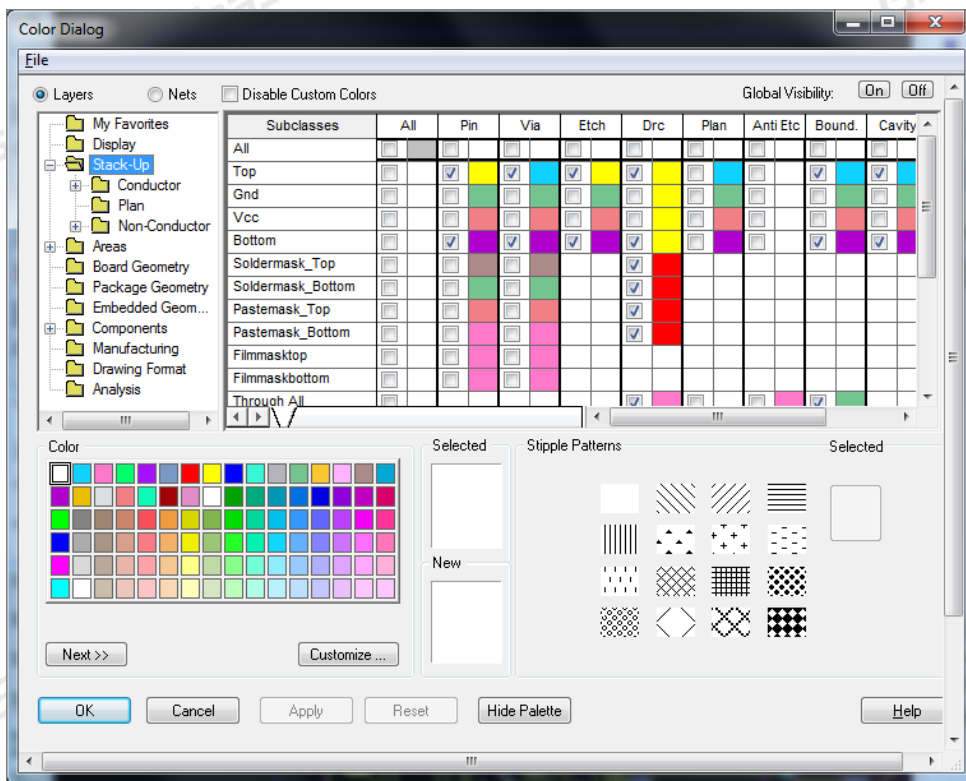
Allegro16.5 新增 Stipple patterns 图样模式，可与颜色搭配用来使用。

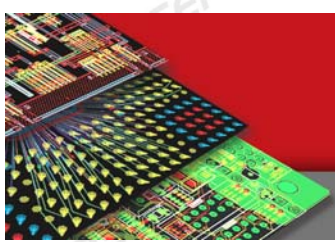
支援在使用 Assign color 和 Highlight 指令，以及 Color 对话方块时设定 Stipple patterns 显示模式。

使用 Assign color 指令时，除了可以设定颜色和预设支援的 Highlight 模式外，还能够定义个人化的 Stipple patterns。

Assign color 指令允许为颜色库中的某个基本元件设定颜色资讯，同时也能搭配 Stipple pattern 提供更多元的显示。

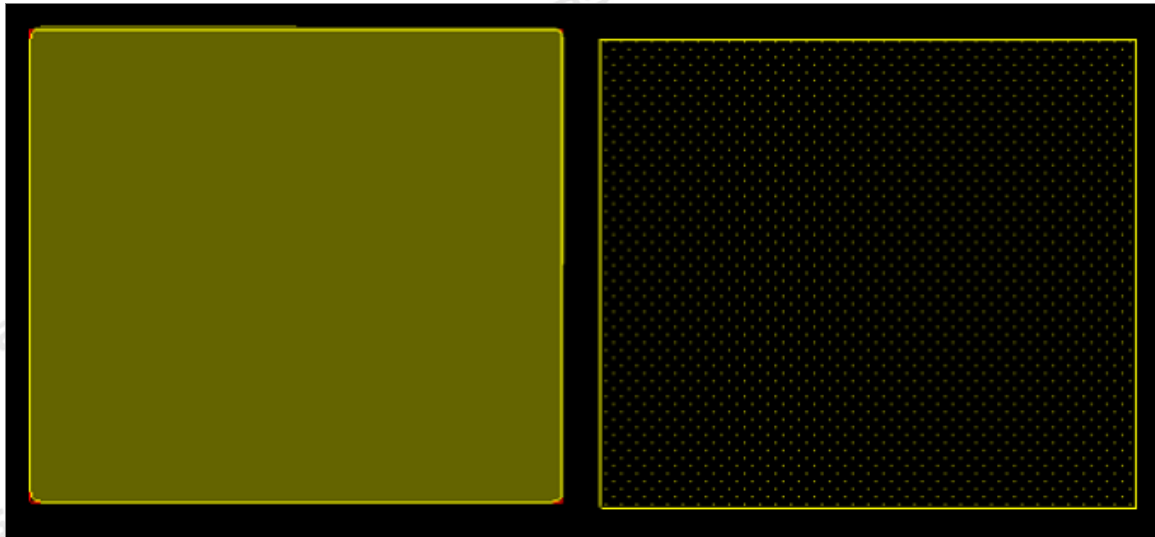
Highlight 指令允许为如 net 之类的物件增 Stipple pattern 资讯。





- 动态与静态 shape 显示

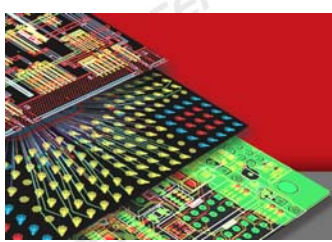
Allegro 16.5 在动态铜与静态铜的显示上，提供了不同的显示效果，可方便我们透过目视分辨。



- Highlight Fixed 物件

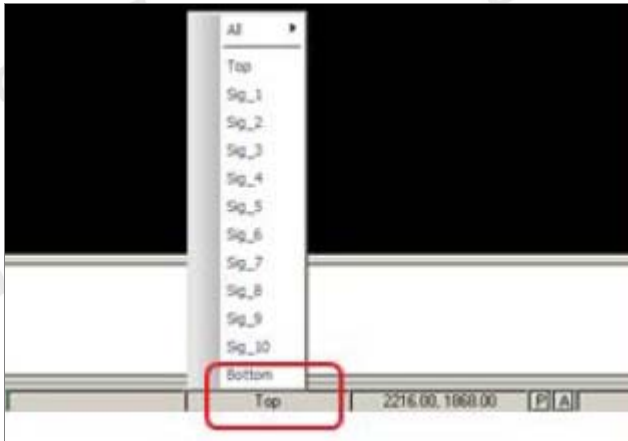
现在可以透过使用 Stipple pattern 对 fixed 的物件 Highlight，当设计中有 Fixed 属性的物件时，可以在 Color Dialog/Display 中，以选择 Stipple patterns 来显示。





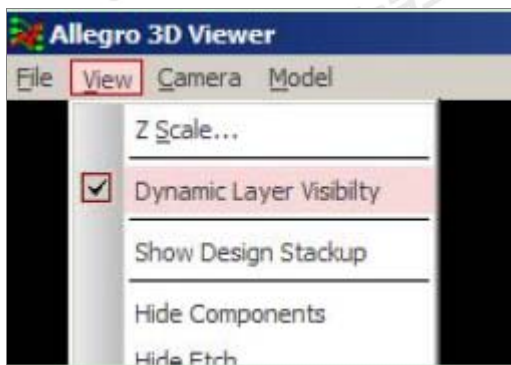
• Status Bar updates

可以透过滑鼠点选状态栏中各个区域来获得各种对应的功能。例如，显示当前的层面资料时，还可以选择切换成其他的主要层面/次要层面。



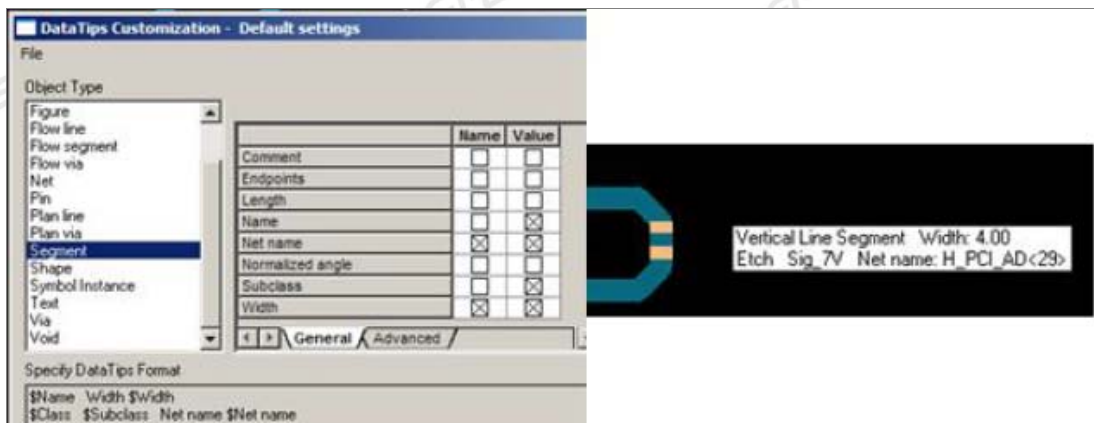
• 3D view updates

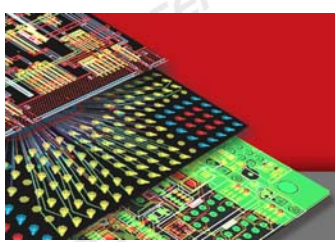
新的 3D view 支援动态层面的显示，即透过切换层面显示的同时，3D view 也会即时切换显示。



• Data Tip 设定

Object Type 从原来的 6 种资讯扩展成 17 种，如此能够自行定义更多的显示资讯。





◆ Etch Edit

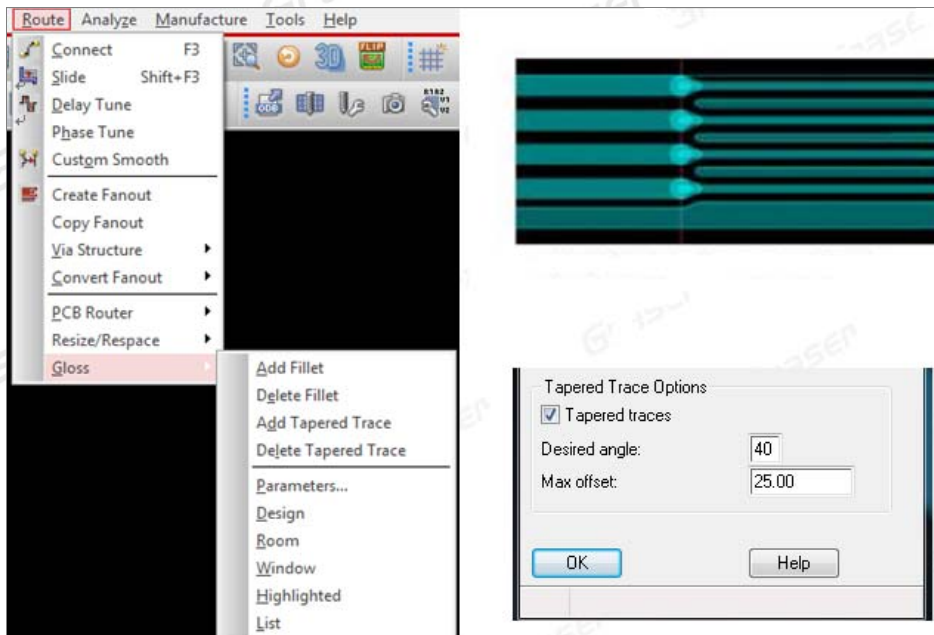
● 差动讯号相位调整 Differential Phase Tuning

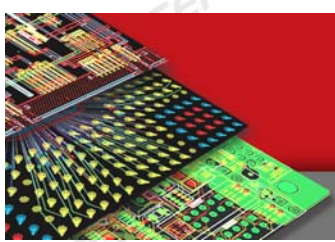
提供定义 Bump 条件后，可以透过滑鼠点选在所选的线段上，增加相位补偿线，而此补偿线除了直线形式之外，也能使用弧形作相位补偿线。



● Trace Tapering

Trace tapering是指在PCB上逐渐的减少走线宽度的渐进线，目的是防止走线宽度突然由粗变细的变化。在RF和软板设计的应用中，渐进式走线可以强化走线宽度有所变化所在位置的机械应力，同时也能改善讯号传输的品质。





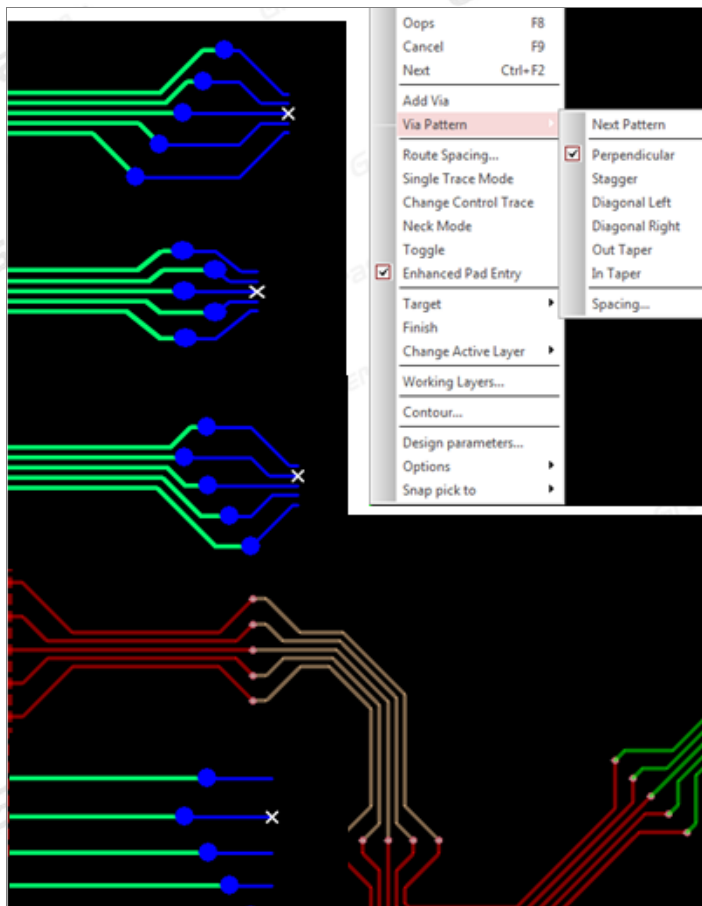
- **Group Route Via Patterns**

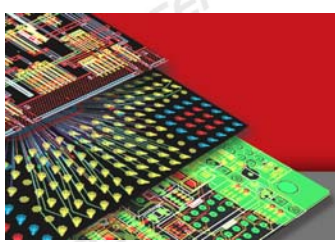
在执行add connect指令时支援Via Pattern功能。可以使用下面的方式启动Group Routing:

- 使用 add connect 指令，然后选择一组 via 或 cline.
- 使用 add connect 指令，然后右键选择 multiline route，对一组 net 进行直线。

有 6 种 via patterns 可供选择，与 PCB Router 中互动式布线时的模式是相同的。

在使用 add connect 后，点右键选 Via Pattern，可从列表中选择对应的模式。

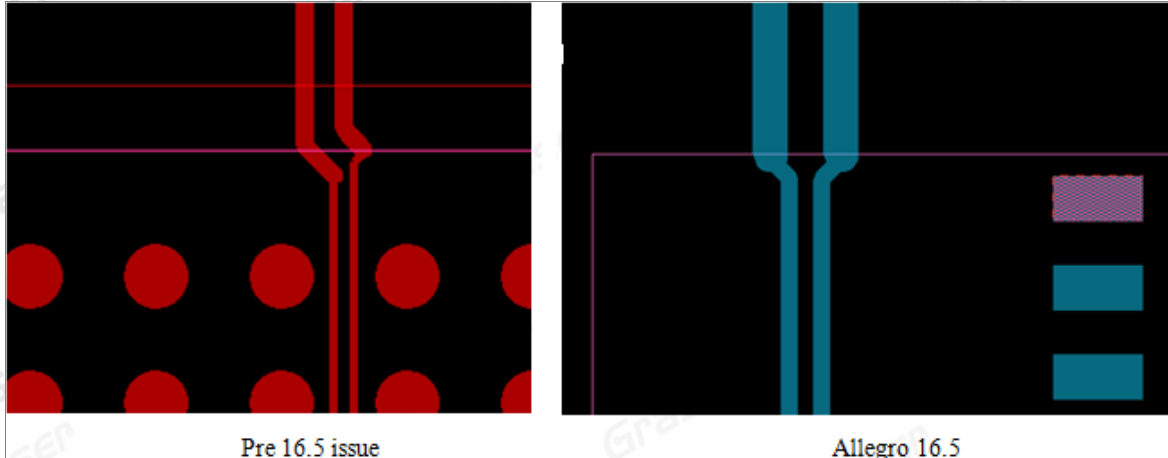




- **Diff Pair Routing - Transitions at Region Boundary**

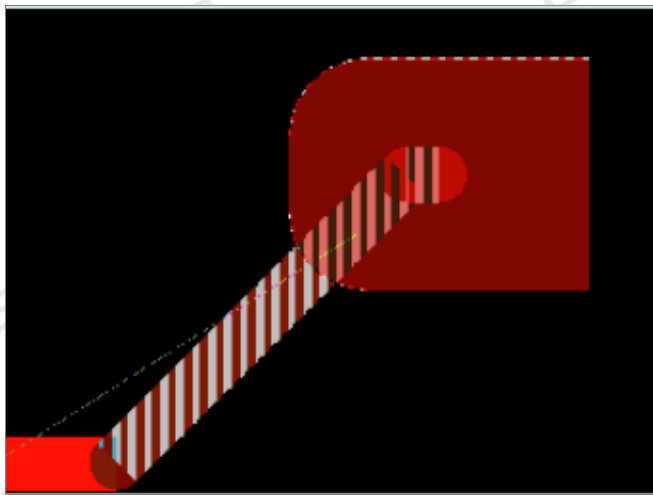
对于在Constraint region中执行的add connect和slide指令，提高了走线能力，包括：

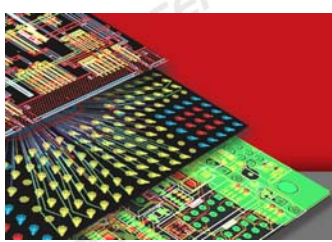
- 差动对以直角或是 45 度角走过 region 边界，仍然可以保持对称的关系。
- Slide 或推挤时，差动对的线宽和间隔保持不变。
- 去除了边界处的铰链效应，现在可以自由 slide 差动对。



- **Pad Exit Behavior**

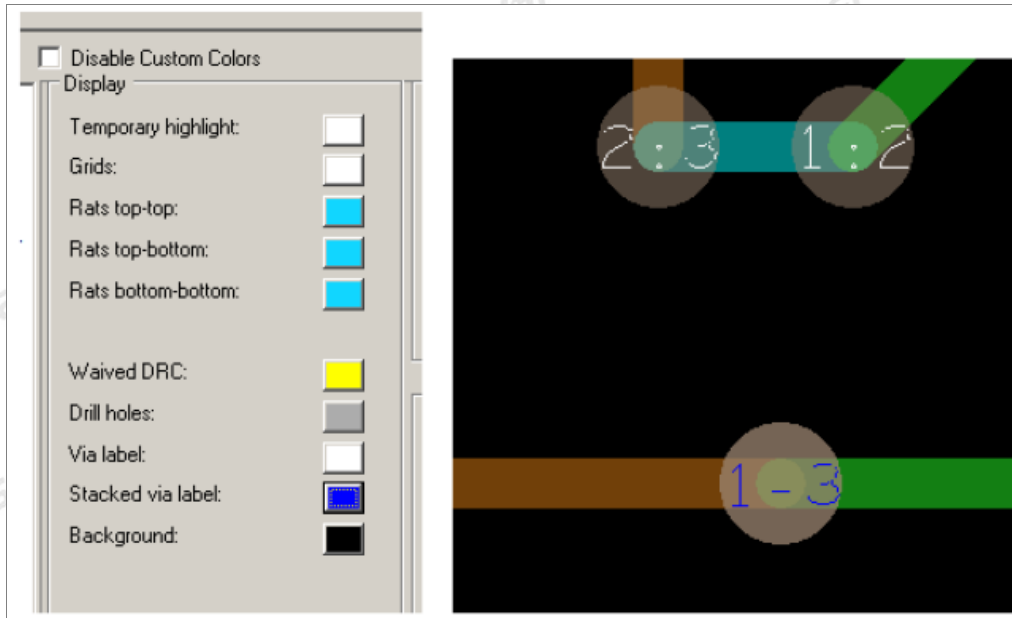
Enhanced Pad Entry功能，在16.5支援了shape形式的Pad。





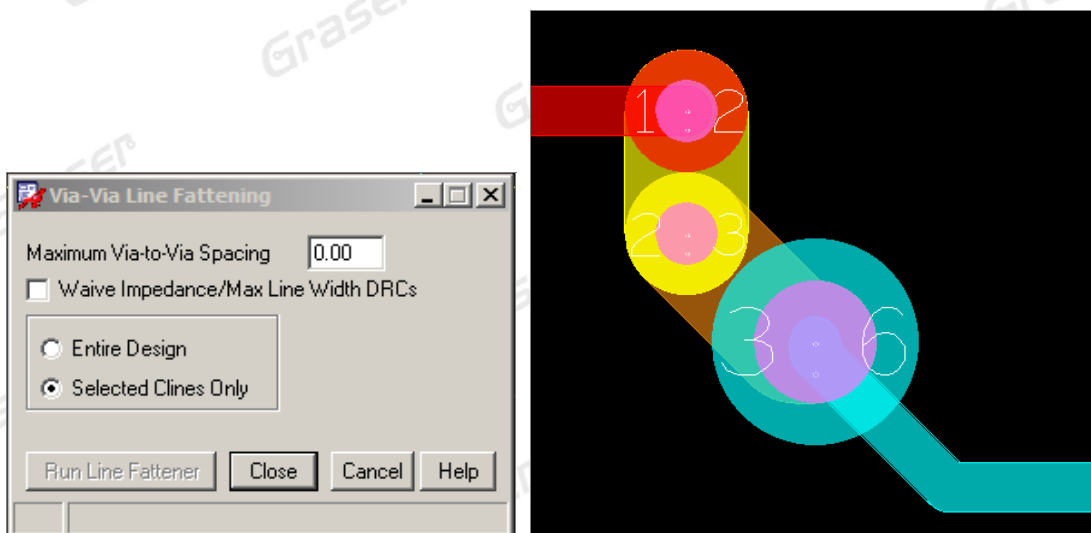
- **HDI Via Labels**

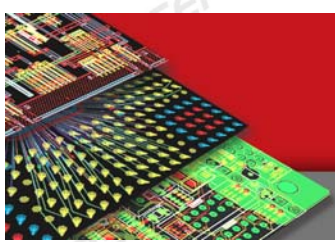
对Via label的显示支援颜色设定,图形显示为 Begin:End 两个层面的资讯,可以在Color Dialog - Display folder中设定颜色。并且现在可以对Stacked via另外设定Via label的颜色,方便用来区分via形式。



- **HDI Via-Via Line Fattening**

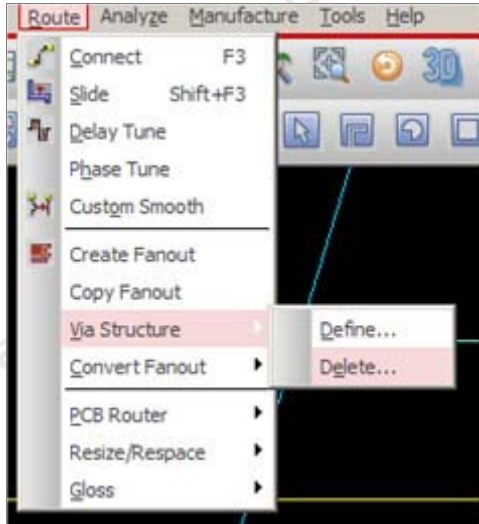
在先前的版本中,如果要增加相邻的两个HDI Via线宽,这个设定是应用到整个设计;现在16.5还可支援对选择的cline单独增加线宽。





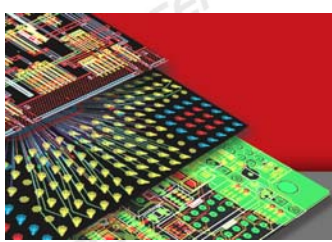
- **Delete Via Structures**

从此版本开始，可使用Via Structure – Delete指令删除多余的via structure。



- **Copy/Move Stacked Vias**

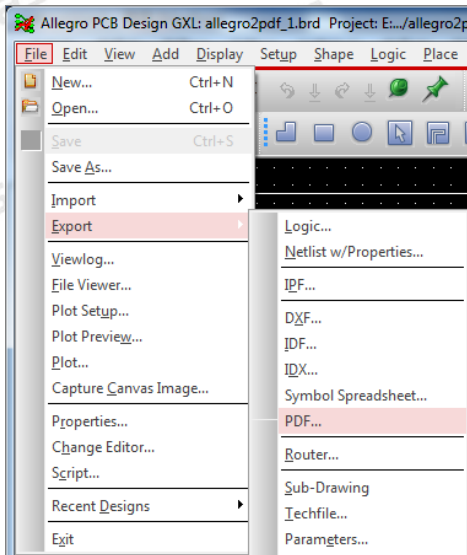
Copy和move指令可以将Stacked via当作一个物件来操作。



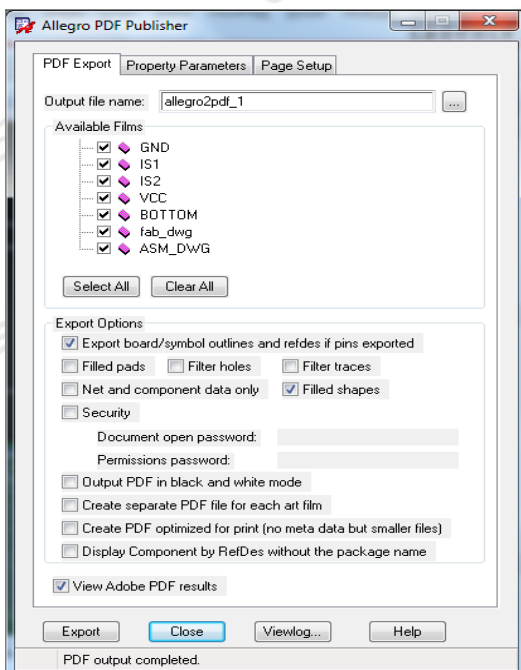
◆ Intelligent PDF Output (Publisher option)

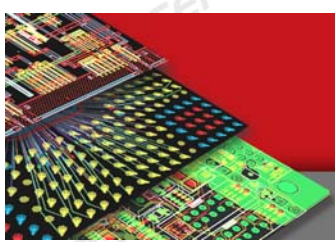
Allegro 现在可以结合 PDF publishing tool, 将 allegro 中的资料输出成 PDF, 包含了 Package, Net, 及 Testpoint 等资讯

1. PDF publisher 是透过 Allegro Artwork 中的层面设定输出的, 因此须先设定好各层的 Gerber 资讯或增加/删除要输出的内容。
2. 因 PDF 输出的背景全是白色的, 所以请注意设定层面及物件的颜色避免使用白色。
3. 在 allegro 中选择 File/Export/PDF。

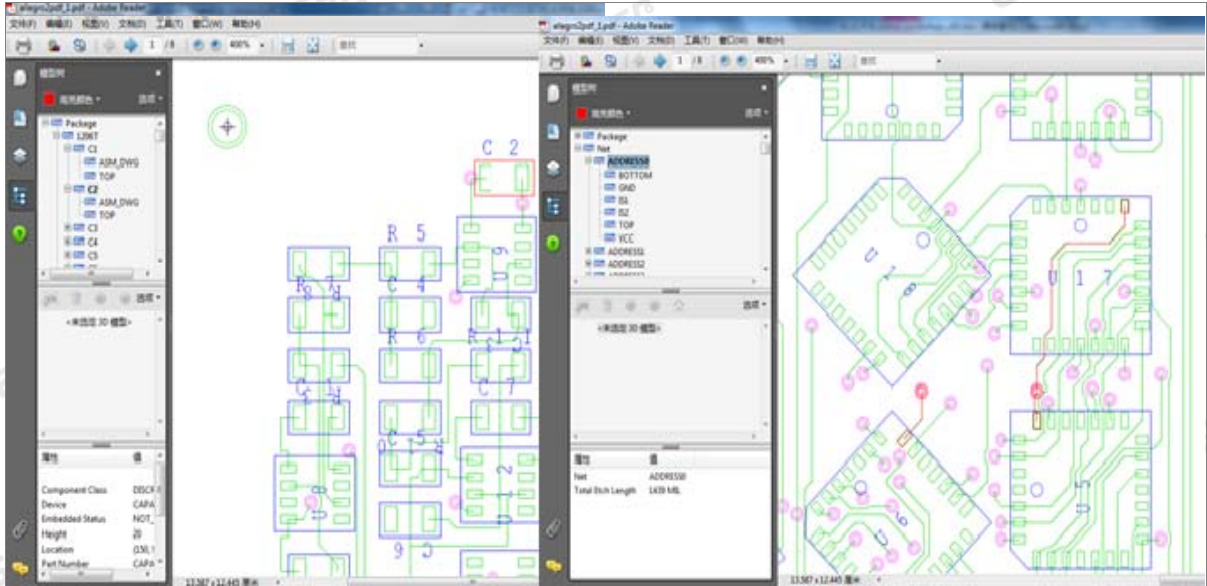


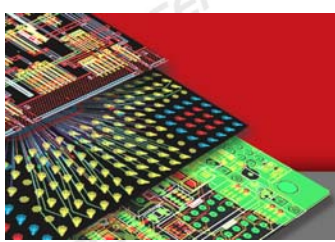
4. PDF 的输出设定参数选项。





5. 输出后在 PDF 浏览器上显示的结果。






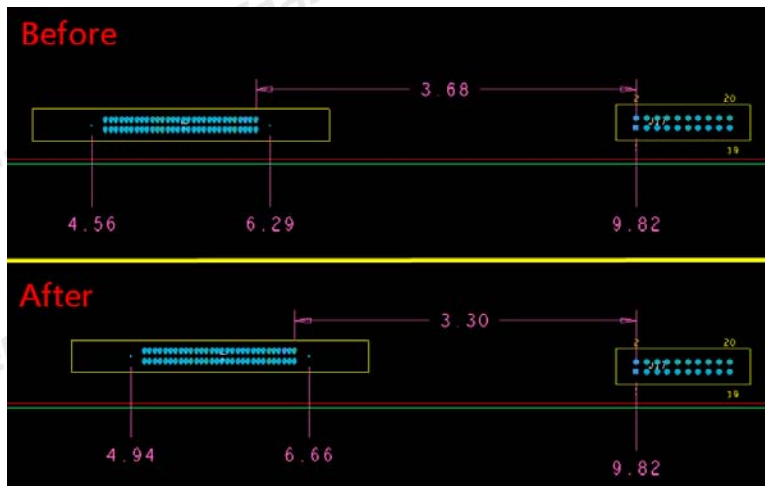
◆ Associative Dimensioning

Allegro对Dimension功能做了提升。当对某个物件执行了dimension操作时，内部会自动将dimension与这个物件建立连结。如果之后对这个物件执行编辑操作，例如使用move指令来移动物件时，Allegro会自动更新与之连结的dimension资讯。

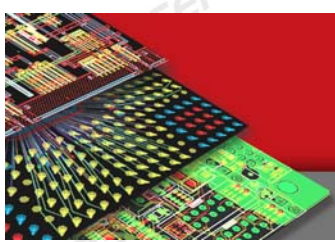
透过以下方式使用这个功能：

- 选择 Manufacturing - Dimension Environment
- 执行 Dimension Edit command

- 使用 toolbar icon 



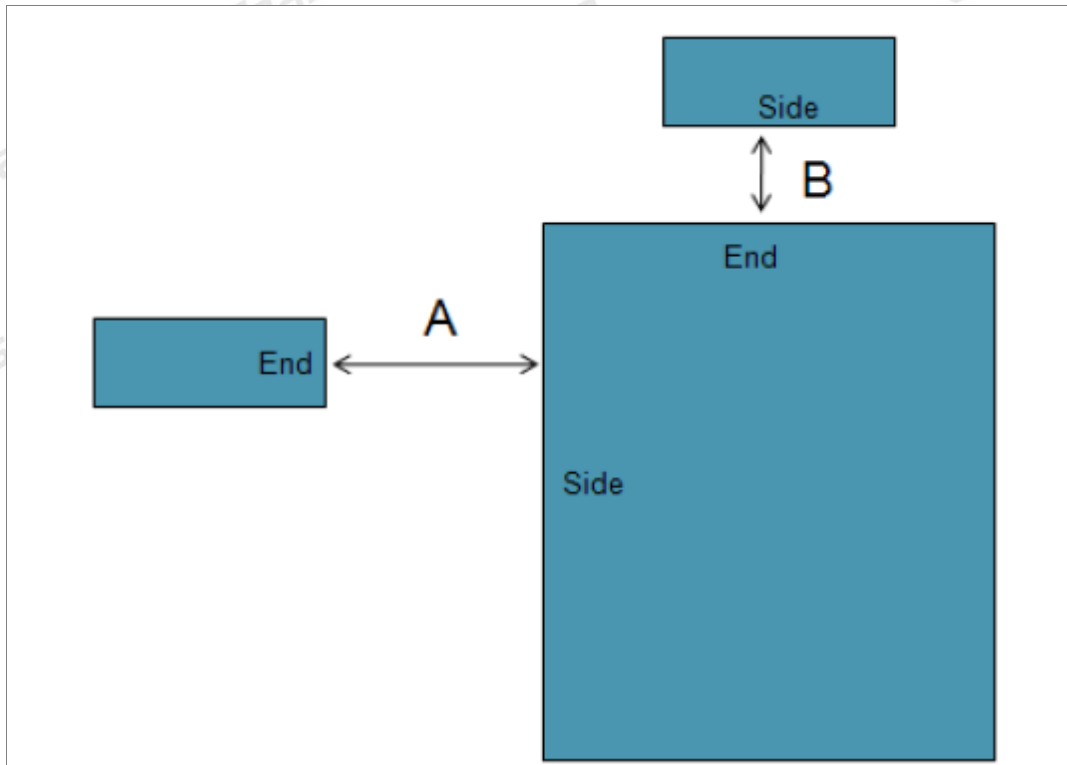
- 当一个16.5的设计降为低版本时，dimension资讯仍在，但是不会有连结的功能。
- Delete dimensions可以用来删除连结的dimension。
- 删除一个物件，与之关联的dimension资讯也会删除。
- 使用move text或edit leader指令，可对dimension编辑标注线和文字。
- 在沿Y方向移动一个物件后，dimension文字不会保持原来的Y位置。如果想保持，可以先使用Lock dimensions指令来将其物件进行锁定动作。
- Z-move指令可移动dimension文字到其他的subclass层面。可用的subclass层面有：
 - Board Geometry
 - Dimension
 - Assembly Notes
 - Any user defined subclass
 - Drawing Format
 - Any user defined subclass
 - Manufacturing
 - Any user defined subclass



◆ Design for Manufacturing

● DFA Enhancements (Side-End and End-Side support)

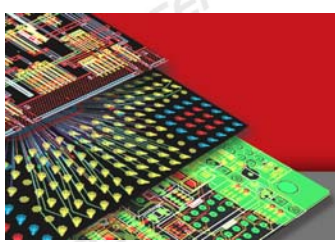
在DFA表中，新增第四种DRC检查条件来满足Side to End 和End to Side的设定需求。如下图例，A 和 B 分别代表Side to End以及End to Side。



- 只对DFA表中有定义的symbol起作用。
- 如果没提供End to Side值，DRC会使用Side to End 值替代。
- 当比较两个完全一致的symbol时，只考虑Side to End 值，End to Side被忽略。
- 当存为16.3的设计时，DRC会忽略Side to End 值。

● DFA Usability

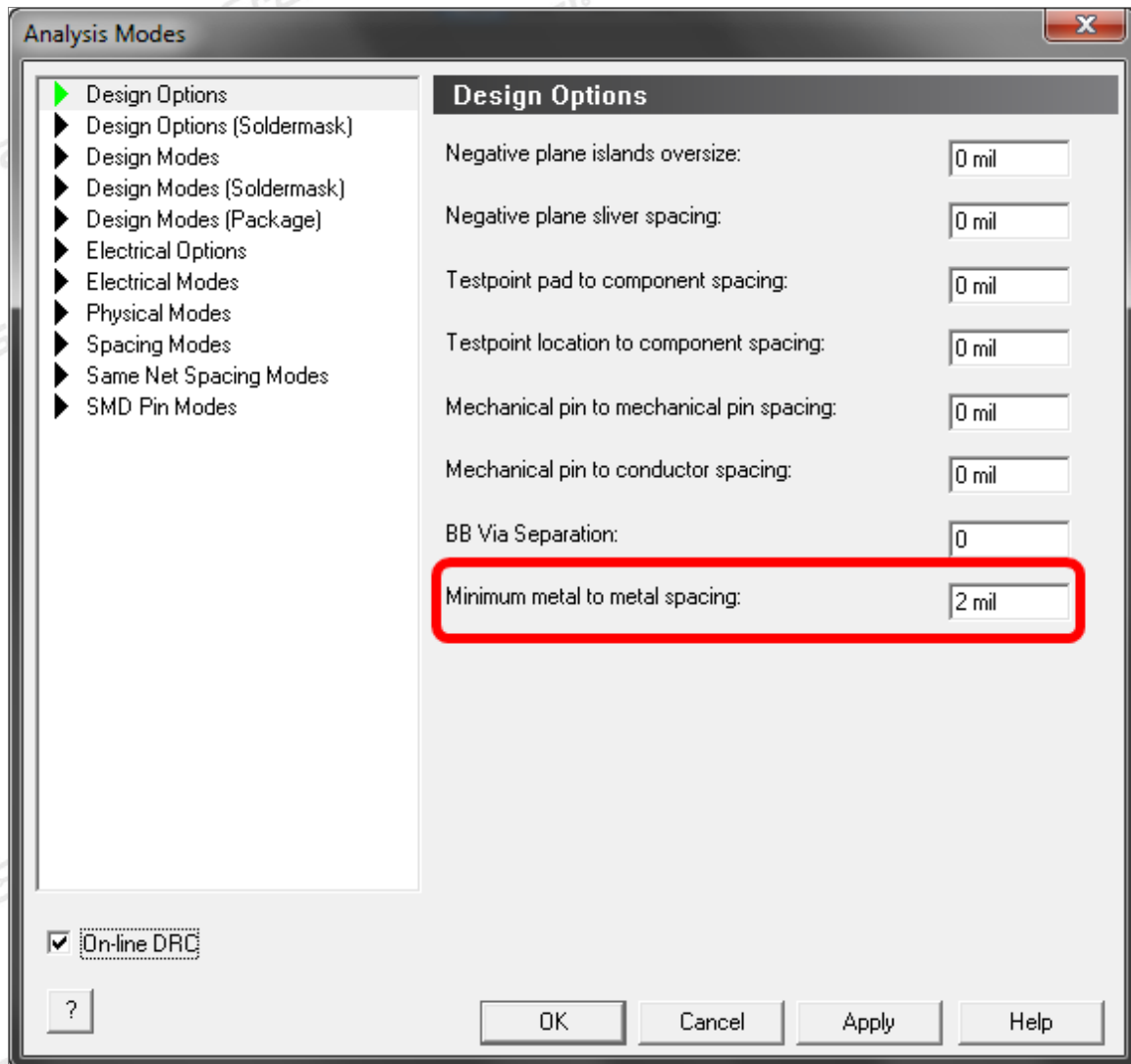
DFA间距检查有出现问题时，我们必须移动元件来符合规范。将DFA_PAUSE_LEVEL 由低升高，例如设为3时，DFA规则的制约行为也会增强来限制被移动中零件的靠近动作。

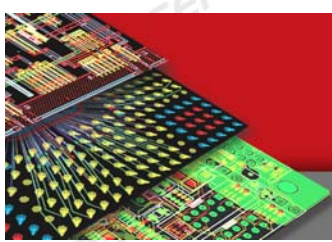


- **Minimum Metal to Metal Clearance DRC**

这是一个新增的Design-level检查，可满足最小导体间的spacing要求。当意外关闭了某个spacing mode检查时，可以透过这个检查标示出spacing error，就像CAM 的检查一般。

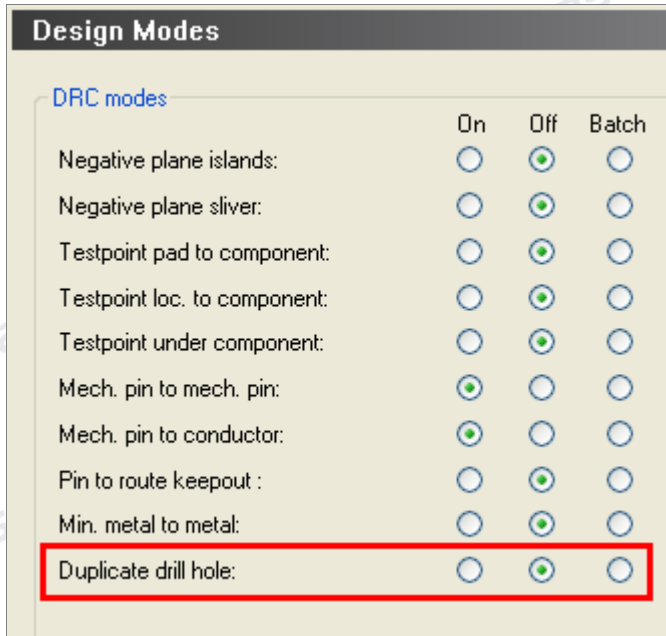
建议最好在设计接近结束时，再执行这个检查。否则在大部分情况下，会产生一个多余的DRC（如果spacing suit中的所有mode都开启）。在Design Option中可以设定一个间距值，这个功能可用来做不同net间的检查。





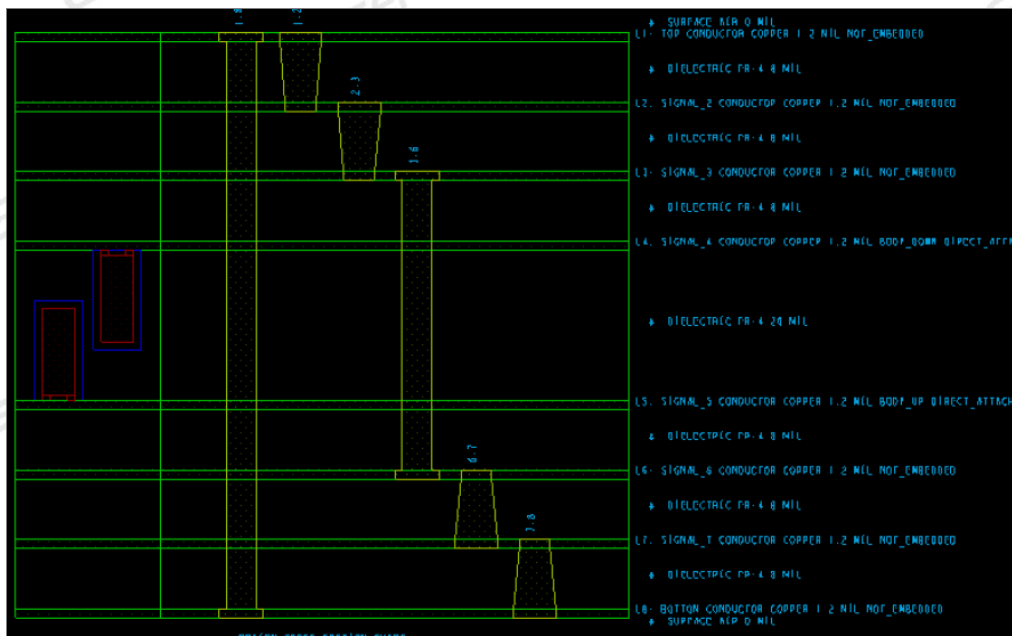
- **Duplicate Drill DRC**

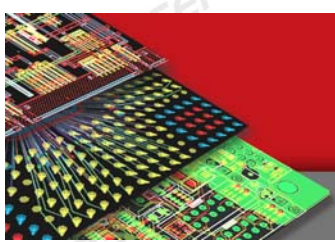
这也是个新的Design-level检查，用于检查跨过相同层面的重复钻孔。



- **Cross Section Chart**

16.5支援产生一个详细的cross section chart，可以透过 Manufacture – Cross Section Chart或执行 xsection_chart 指令来产生。





- **Backdrill Enhancement (Any Layer to Any Layer)**

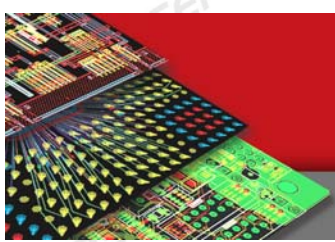
现在支援可在任意层间的BackDrill设定。在 SPB 16.5之前，backdrilling只能从顶层或底层开始。

| # | Enable | From Layer | Objects | Passes | To Layer | Depth |
|---|-------------------------------------|------------|-----------|--------|------------|-------|
| 1 | <input type="checkbox"/> | Top | Pins&Vias | 7 | All layers | |
| 2 | <input type="checkbox"/> | Bottom | Pins&Vias | 7 | All layers | |
| 3 | <input checked="" type="checkbox"/> | SIGNAL_2 | Vias | | SIGNAL_5 | 36.80 |

- ◆ **DRC Updates**

- **Max Neck Length DRC**

自此版本开始，当neck length 部分的累积长度超过了预设的Max Neck Length设定值就会产生DRC。



◆ ECAD-MCAD Flow

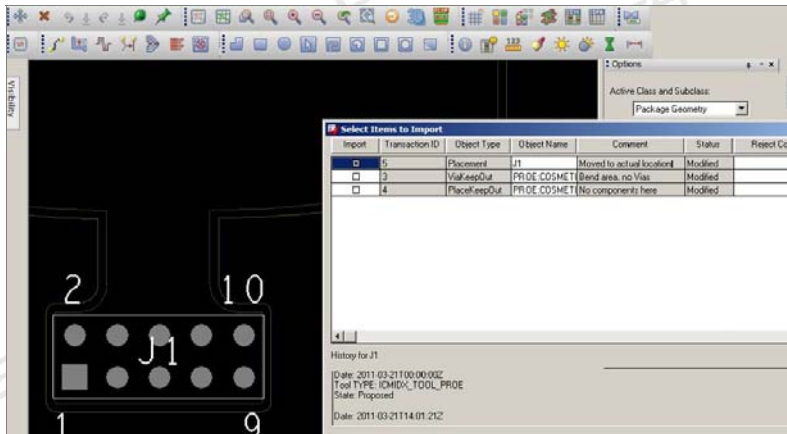
● INCREMENTAL DATA EXCHANGE (IDX)

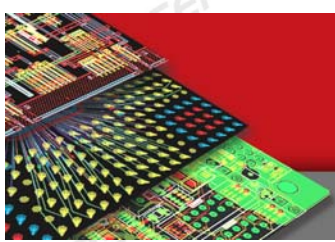
电子与机构的CAD tool之间有多种立基于IDF/DXF的转换格式，每种格式都保有其既定标准。

EDMD方案(或者称作IDX格式)，是一种新的以XML为基础的资料交换格式，导入了增量式改变的概念，作为ECAD/MCAD交换资料的辅助资讯。

也就是说，电子Layout tool/机构CAD tool可在设计刚开始时先定义一个设计当作参考基准(Baseline)，随后不管是电子或是机构端的设计，只要有不同于baseline，都会被当作是新的设计变更，而这些变化的资料也可以从修改端的CAD tool转到另一端的CAD tool，好让双方都能清楚对于这个设计有何不同的设计考量。

EDMD的另一功能是加强了设计间的沟通，双方可以透过注释、接受或拒绝...等功能来达成双向的沟通。例如：一个设计定义成标准后，如果设计者改变了原始设计中的一个元件的位置，设计者可透过图形介面汇出改变资讯，并附上注释描述本次改变的原因；机构设计端会预览改变的资料，接受改变并汇入资料，或者拒绝接收资料并附上原因及建议一个合理的新位置，PCB设计端也能够评估新的建议，进而接受或是拒绝此设计建议...等等。

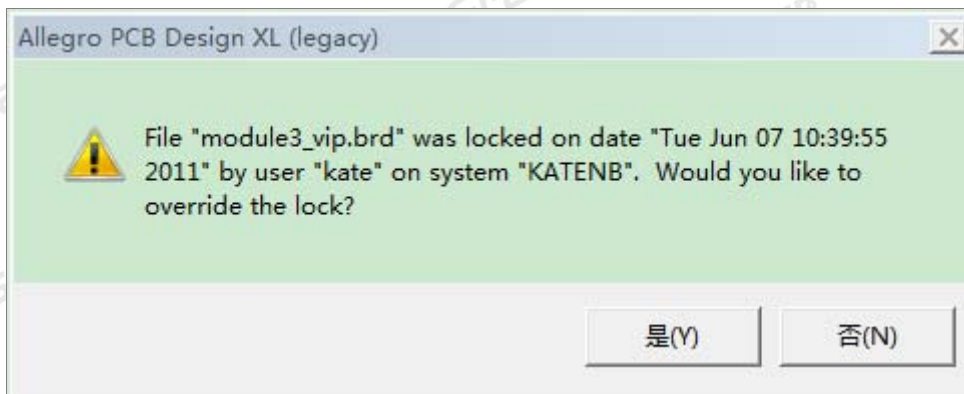




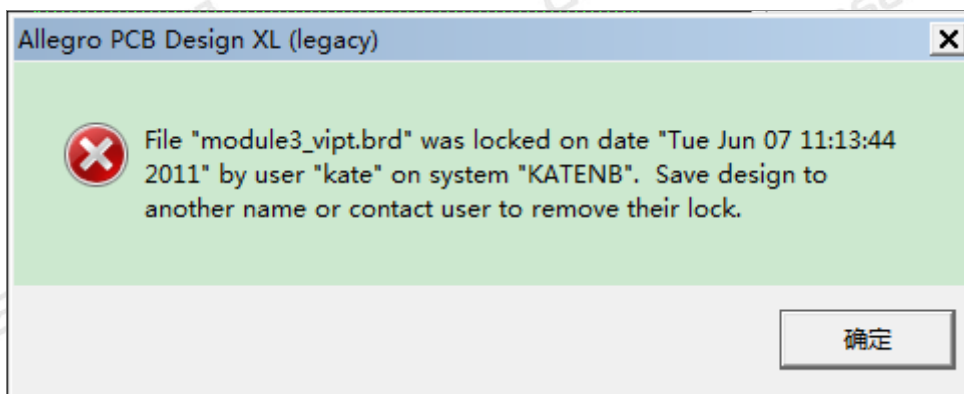
◆ Database and Misc Enhancements

● Database Locking

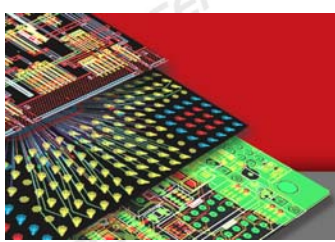
在 Allegro16.5 的版本中支援多个使用者开启同一个设计档案时有提醒和保护的功能。当一个 brd file 被一个 user 开启做编辑时，allegro 会产生一个<design>.lck 的文件直到 allegro 退出。此时如果另一个 user 开启了这份 brd 做编辑时系统会做出如下提示。



点 YES 后仍然可以编辑，但在储存时 allegro 不再允许每个开启此档的 user 做 save 动作，需要另存为一个新的 brd file。

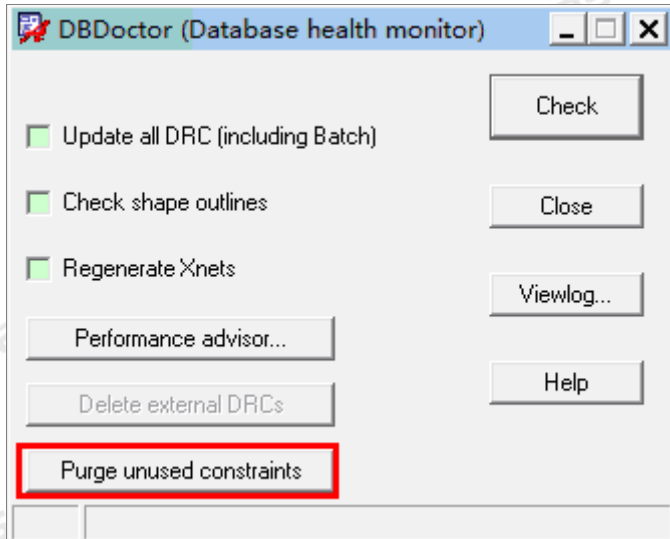


此功能的开启或关闭需要在 env 中设定，预设情况下是开启此功能。需要关闭时在 User preferences 设定 allegro_nolocking 即可。



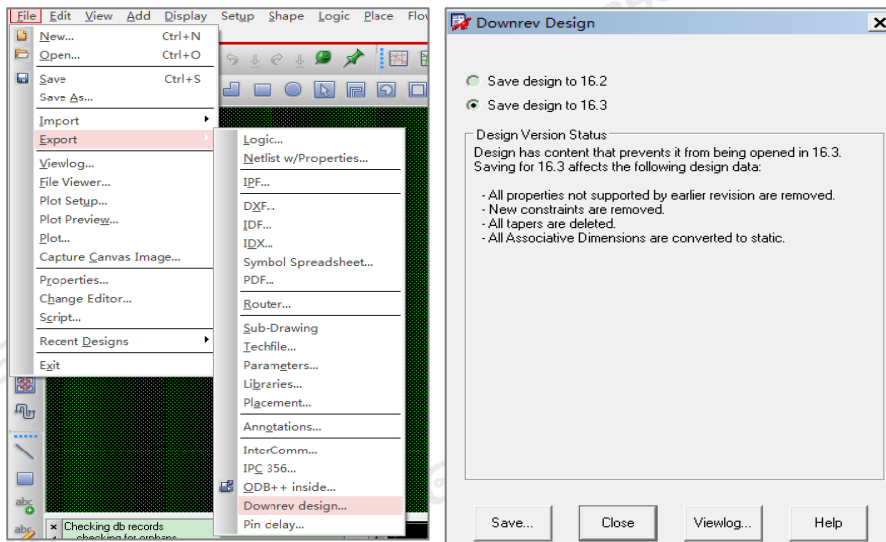
- **DBDOCTOR**

DB Doctor 新增可移除没在使用的 constraint 功能。



- **Downrev to 16.3**

可以将档案直接转为 16.3 版本的，并且会在 log 档中 list 出删掉的 properties。

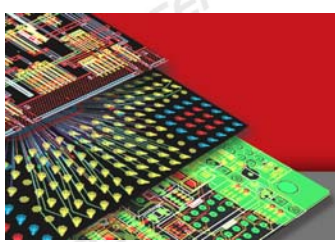


- **Subclass Characters**

Subclass 支援到 31 个字节。

- **Same Net Constraint Set update**

在新的 design 中 Same Net Constraint 的 by-layer DRC mode 开关预设为开启的。

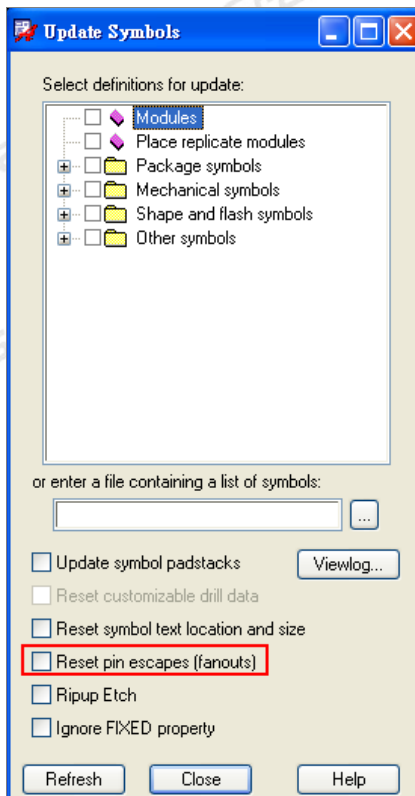


- **Symbol Editor**

透过在 PIN_NUMBER 层面经由新增 Pin number 来将无电气特性的 mechanical pin 变成有电气特性的 connect pin。

- **Refresh Symbol**

Update symbols 新增可以 Reset Pin escapes (Fanout).

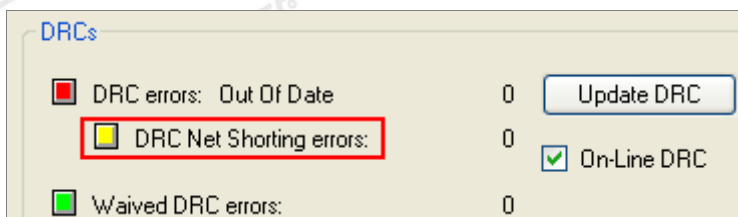


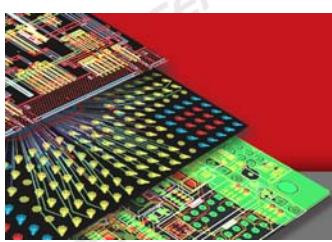
- **Modules and Locked Property**

如果在产生 MDD 时定义 Locked 属性，那在设定中载入此 MDD 时会继承 Locked 属性。

- **Design Status**

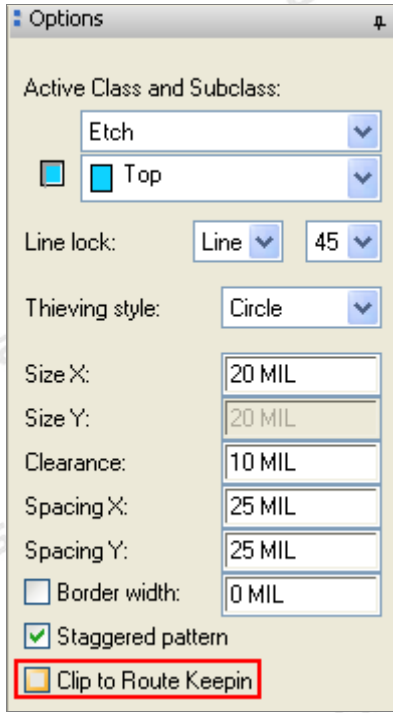
Design status 新增了关于 Net Short DRC 的讯息。





- **Thieving**

在下 Thieving 指令时可以控制产生在 route keepin 范围内。

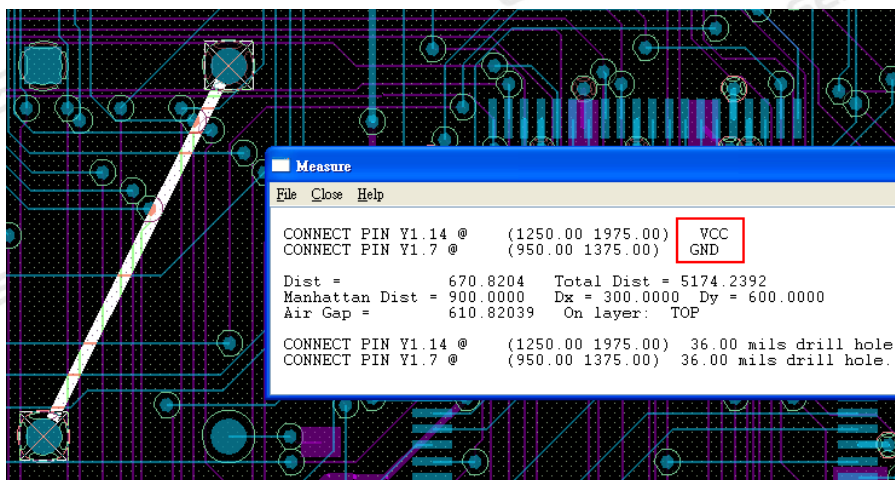


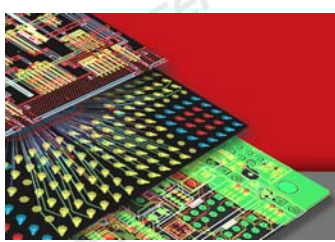
- **Create Detail**

可以选择在更多允许的层面执行 Create Detail 指令。

- **Display Measure**

对于有 Net 属性的物件，在进行 measure 时会在对话框中新增 Net 名称。





- **User Defined Mask Layers -- Mirror support**

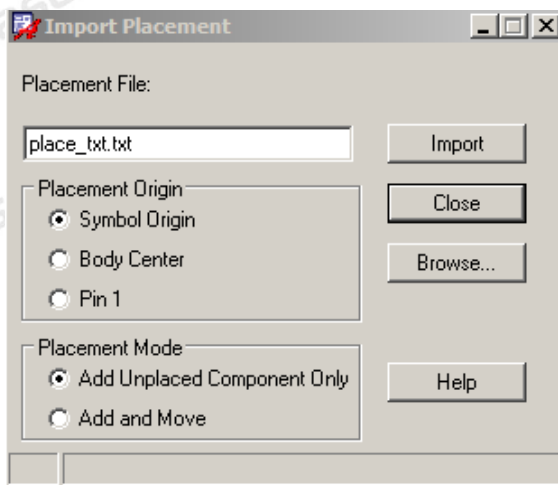
现在的 Mirror 指令也可支援使用者自行定义的 mask 层面进行 mirror 作业。

- **Place Replicate -- Support for Single Symbol**

对于 Place Replicate 支援单颗零件了。允许对单个零件的走线进行复制，而且可以将它们视为一个 group 进行移动指令。

- **Placement Files**

在 Import placement file 时，可以选择是否改变已经摆好的零件的位置、方向以及是否做 Mirror 动作。



- **Design Partitioning**

对于进行分板后的档案也支援 Place replicate 功能。

- **Polygon Select**

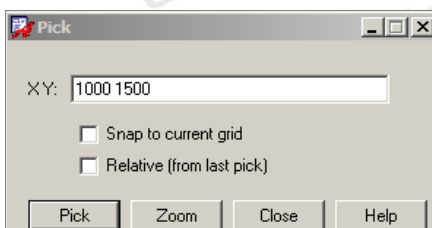
任意框选功能可以透过 Double click 完成结束框选动作。

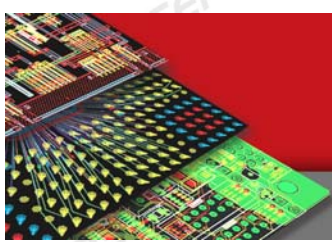
- **Capture Canvas Image**

Capture canvas image 截图功能现在可以直接存放到工作路径下。

- **Zoom Button in Pick Dialog**

执行 Pick 指令时，在输入完座标后，可以透过点选对话框中的 zoom 按钮来达到 Zoom center 的结果。





- **Reports**

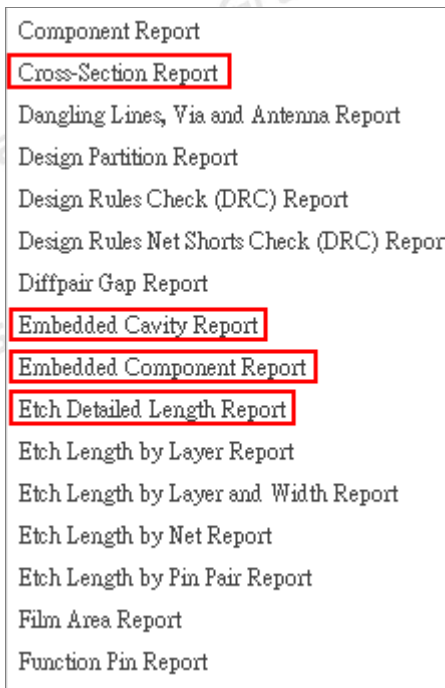
Dangling via 的 report 中新增起始到结束层面的资讯和 antenna vias.的相关讯息。

新增 Embedded Component 的 report。

新增 Embedded Cavities 的 report。

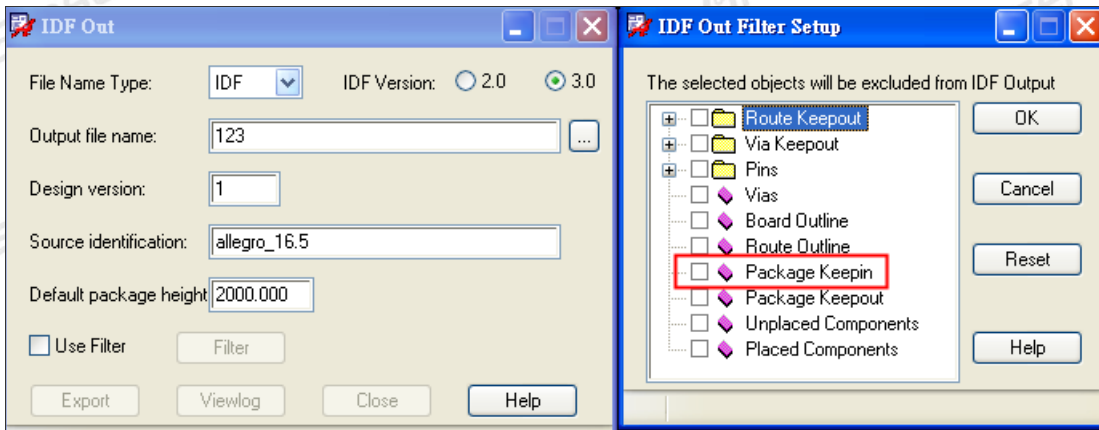
新增 Etch Detailed Length 的 report。

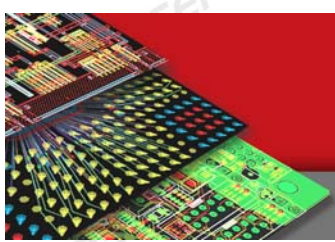
新增 Cross Section 的 report。



- **IDF Out**

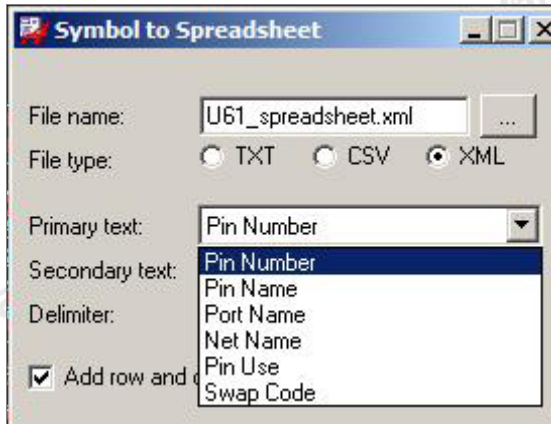
IDF Out 的 filter 中新增 Package Keepin 选项，在 Export IDF 时可以带出 Package Keepin 资讯。





- **Symbol Export**

现在 PCB Editor 也支援零件的汇出。只要执行 File - Export - Symbol Spreadsheet, 就可以产生*.txt,*.csv 或者 xml 格式的零件资讯档。



- **Skill Enhancements**

可以存取 color patterns。

可以充分存取 Constraint Class tables。

可以充分存取 Grids 和 Text blocks。

Graser®

本版 Technic Note 版權為 映陽科技股份有限公司 所有，未經允許不得任意轉用。

©2011 Graser Technology Corporation. The Graser logo are trademarks of Graser Technology Corporation.